

Chip-Power durch dritte Dimension

Wer als Ingenieur in der Elektronikbranche tätig ist, hat sich daran gewöhnt: Mit der Regelmäßigkeit von Ebbe und Flut werden die Chip-Strukturen kleiner und die Taktraten höher. Damit das auch in Zukunft so bleibt, gehen Forscher und Halbleiterfirmen den Weg in die dritte Dimension. Aber da warten so manche Herausforderungen.



An diesen „Eiszapfen“ beißen sich die

Halbleitertechnologen noch die Zähne aus: Through-Silicon Vias (TSVs). Sie stellen die elektrischen Verbindungen zwischen mehreren „Etagen“ eines 3D-Chips her. Das Foto zeigt die Röntgen-Nanotomographie eines TSV-Arrays.

Es klingt so einfach: Weil die Schaltzeiten im Inneren von Halbleiterchips immer kürzer werden und damit die Signallaufzeiten sogar zwischen benachbarten Chips eine nicht mehr zu vernachlässigende Größe erreichen, könnte man mehrere Halbleiterschaltkreise übereinanderstapeln. Die Verbindungswege wären kürzer – viel kürzer, als das mit herkömmlichen, auf einer Platine nebeneinanderliegenden Ansätzen zu erreichen wäre. Gleichzeitig ließe sich mit dem Hochstapel-Ansatz der Flächenbedarf für elektronische Geräte verringern – genau wie Hochhäuser mit weniger Stellfläche auskommen als herkömmliche Büro- und Wohngebäude mit nur einem Stockwerk. Dieser Einsicht folgend, arbeiten zurzeit Heerscharen von Entwicklern bei Halbleiterherstellern an der Realisierung derartiger Chipstapel.

In der Praxis hat sich das als nicht ganz so einfach herausgestellt. Das Aufeinanderstapeln fertiger Chips innerhalb eines Gehäuses ist zwar mittlerweile gängige Praxis, aber es gibt Einschränkungen: Die übereinanderliegenden Chips sind dabei über feine Drähte miteinander verbunden, und auch das nicht direkt, sondern über einen sogenannten Interposer – einen dünnen Siliziumwafer, der eine Art Verschiebebahnhof für die zahllosen Kontaktpunkte darstellt und lediglich Leiterbahnen enthält.

Den Interposer-Ansatz, in der Branche als 2,5D-Integration bezeichnet, finden viele Chipfirmen nicht optimal. Optimal wäre die direkte Verbindung zwischen den aufeinanderliegenden Siliziumscheibchen. Keine Wirebond-Drähte mehr, die Signallaufzeiten verlängern, wegen ihres elektrischen Widerstands hohe elektrische

Leistungen erfordern und zudem mit ihren Induktivitäten einer weiteren Erhöhung der Schaltgeschwindigkeit entgegenarbeiten. „Damit würde der elektrische Leistungsbedarf deutlich niedriger“, erklärt Halbleiterexperte Ehrenfried Zschech, Chair der IEEE-IITC MAM 2011 Conference in Dresden, die sich in diesem Jahr schwerpunktmäßig mit dem Thema 3D-Integration befasst hat. „Von einem niedrigeren Stromverbrauch würden vor allem mobile Geräte wie Smartphones profitieren.“

Mechanische Spannungen stören Schaltkreise

Um die Chips ohne störenden Interposer übereinanderstapeln zu können, müssen die Designer Verbindungspunkte zur darunter beziehungsweise darüberliegenden Etage einbauen. Diese sogenannten Through-Silicon Vias (TSVs) stellen die Ingenieure vor Herausforderungen: Sie sind sehr viel größer als die Halbleiterstrukturen auf dem Chip, müssen aber mit derselben extremen Präzision platziert werden wie die Transistoren auf den Schaltkreis. Sie erzeugen mechanische Spannungen in der Silizium-Kristallstruktur, und diese mechanischen Spannungen können die elektrischen Leitungsmechanismen in ihrer Umgebung auf dem Chip beeinträchtigen. Zudem können sie Haarrisse in den empfindlichen Nanostrukturen der Schaltkreise verursachen.

Wegen dieser ungelösten Probleme dümpelte die 3D-Integration über viele Jahre vor sich hin. Bis im Februar 2011 der koreanische Chiphersteller Samsung einen neuen Vorstoß unternahm und in der Branche Aufbruchsstimmung auslöste. Damit man bei der Kunst des Hochstapelns weiterkommt, müssen die Chip-Designs von vornherein auf die 3D-Integration hin angelegt sein. Anbieter von Chip-Konstruktionssoftware beeilen sich, ihre Tools und Workflows auf die zusätzlichen Aufgaben auszurichten. Das in diesem Gebiet international führende belgische Forschungszentrum IMEC hat ein Programm aufgesetzt, aus dem ein 3D-DesignWorkflow für spezifische Chiptypen hervorgehen soll. Auch Software für die thermische Modellierung der kompakten 3D-Chip-Gebilde haben die Forscher aus Löwen bereits entwickelt.

Neues Chip-Design braucht neue Entwicklungssoftware

Ähnlich der Softwarehersteller Mentor Graphics: Sein Projekt „Melba“ hat sich des 3D-Themas ebenfalls angenommen. Melba sieht eine Erweiterung des etablierten (2D-) Design-Flows vor. Im Mittelpunkt steht die Verifikation der schon entworfenen, aber noch nicht gebauten Chipfunktionen – ein wichtiger Schritt, ohne den jeder kleine Fehler im Design enorme Kosten auslösen würde. „Zusätzlich zur Verifikation der einzelnen Funktionen werden für die 3D-Integration auch die Interfaces und die Ausrichtung der Layer verifiziert“, erläutert Mentor-Experte Hartmut Marquardt. Das alles klingt nicht nach einem schnellen Durchbruch. Aber die Branche ist überzeugt, dass sich die 3D-Chips ihren Anteil am Markt erobern werden.